

1/1 JAPIO - (C) JPO- image

PN - JP 02062687 A 19900302 [***JP02062687***]

TI - INFORMATION WRITING SYSTEM FOR IC CARD

IN - SHINAGAWA TORU

PA - HITACHI MAXELL LTD

AP - JP21452288 19880829 [1988JP-0214522]

IC1 - G06K-019/07

IC2 - G06F-003/08

- AB - PURPOSE: To write information at a high speed by executing processing for writing data from an external device onto an SRAM and processing for writing data on the SRAM to an EEPROM in parallel within transfer time for one page.
- CONSTITUTION: An EEPROM4, for example, builds in a latch circuit 4a to execute high-speed writing in units of 32-byte information lengths and has this latch circuit 4a and a memory part 4b of the EEPROM. Further, the EEPROM4 can write data having a unit information length from an external part at a high speed in write time t_R , and writing to the memory part 4b of the EEPROM 4 is executed after that in write time t_W almost the same as that of an ordinary EEPROM in the internal part of the EEPROM4. The writing is executed by deciding that the storing of the data from the external part into the latch circuit 4a ends, and in the writing, automatically latched data for one page are written to the memory part 4b. Further, the EEPROM of the memory part 4b is composed so that each storage area can be managed in units of pages with 32 bytes as the unit.
- COPYRIGHT: (C)1990, JPO&Japio

W2/2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-62687

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月2日

G 06 K 19/07
G 06 F 3/08

C

6711-5B
6711-5B

G 06 K 19/00

N

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 ICカードの情報書き込み方式

⑯ 特 願 昭63-214522

⑰ 出 願 昭63(1988)8月29日

⑱ 発 明 者 品 川 徹 大阪府茨木市丑寅1丁目1番88号 日立マクセル株式会社
内

⑲ 出 願 人 日立マクセル株式会社 大阪府茨木市丑寅1丁目1番88号

⑳ 代 理 人 弁理士 梶山 信是 外1名

明 細 書

1. 発明の名称 ICカードの情報書き込み方式

2. 特許請求の範囲

(1) プロセッサと、このプロセッサのシステムプログラムを格納する第1の不揮発性メモリ部と、アプリケーションプログラム又は登録データ等を格納する書き換え可能な第2の不揮発性メモリ部と、各種の処理データを記憶する書き換え可能な揮発性メモリ又は揮発性メモリからなる第3のメモリ部とを有し、外部装置との間でデータの授受を行うICカードにおいて、第2のメモリ部はnバイト(nは2以上の整数)の単位情報長を単位として指定された記憶位置に情報を記憶するものであって、前記単位情報長の情報について外部からの書き込み時間t₁とその内部での書き込み時間t₂(ただし、t₂>t₁)とを有し、第3のメモリは前記単位情報長を記憶する領域を複数有し、mバイト(mはnより小さい整数)のデータを複数の前記領域の1つに書き込む処理時間t₃と前記時間t₁との和が前記mバイトの受信時間と等しいか

これよりも短いものであって、前記プロセッサは前記システムプログラム又は前記アプリケーションプログラムに従って前記外部装置から転送された書き込み情報のうち前記mバイトのデータを受信したときにmバイトの受信に応じてそれを複数の前記領域の1つに順次書き込む処理をし、前記単位情報長分の情報の書き込みが前記領域の少なくとも1以上に完了して、かつ前記転送された書き込み情報のmバイトの情報を受信しているときに前記単位情報長の書き込みが完了している前記領域の前記単位情報長分の情報を第2のメモリに書き込む処理をすることを特徴とするICカードの情報書き込み方式。

(2) プロセッサと、このプロセッサのシステムプログラムを格納する第1の不揮発性メモリ部と、アプリケーションプログラム又は登録データ等を格納する書き換え可能な第2の不揮発性メモリ部と、各種の処理データを記憶する書き換え可能な揮発性メモリ又は揮発性メモリからなる第3のメモリ部とを有し、外部装置との間でデータの授受を行

特開平2-62687 (2)

う IC カードにおいて、第2のメモリ部は n バイト (n は2以上の整数) の単位情報長を単位として指定された記憶位置に情報を記憶するものであって、前記単位情報長の情報について外部からの書き込み時間 t_1 とその内部での書き込み時間 t_2 (ただし、 $t_2 > t_1$) とを有し、第3のメモリは前記単位情報長を記憶する領域を複数有し、 m バイト (m は n より小さい整数) のデータを複数の前記領域の1つに書き込む処理時間 t_3 と前記時間 t_1 との和が前記 m バイトの受信時間と等しいかこれよりも短く、かつ前記単位情報長の情報を受信する時間 t_4 が $t_1 + t_2 + t_3$ であって、前記プロセッサは前記システムプログラム又は前記アプリケーションプログラムに従って前記外部装置から入力された書き込み情報のうち前記 m バイトのデータを受信したときに m バイトの受信に応じてそれを複数の前記領域の1つに順次書き込む処理をし、前記単位情報長分の情報の書き込みが前記領域の少なくとも1以上に完了して、かつ前記転送された書き込み情報の m バイトの情報

を受信しているときに前記単位情報長の書き込みが完了している前記領域のうち最も古い単位情報長を記憶している領域の前記単位情報長分の情報を第2のメモリに書き込む処理をすることを特徴とする IC カードの情報書き込み方式。

1. 発明の詳細な説明

【従来の技術】

この発明は、IC カードの情報書き込み方式に関する。詳しくは、その処理プログラム等を記憶する EEPROM ヘッドアップロードでプログラム等を格納する場合にその書き込み処理が効率的にできるような情報書き込み方式に関する。

【従来の技術】

従来、IC カードは、マイクロプロセッサの処理プログラムがマスク ROM 内に格納されていて、その内容を変更することはできなかったが、最近では、電気的消去可能な不揮発性メモリ (EEPROM) をプログラム用メモリとして用いることによりプログラムが後から書き込み、その内容を使から変更することが可能となった。

また、IC カードでは、この EEPROM にプログラムのほかに各種の ID 情報 (識別情報或いは照合情報) などの登録データについて後から書き込むことが行われ、このようなメモリを、一時的なデータの記憶等に使用されるワークメモリとして SRAM 等のメモリとが用いられている。

【解決しようとする課題】

一般に、SRAM は、EEPROM に対してその書き込み時間が比較的速い利点があるが電源を切ると記憶データが揮発する欠点がある。一方、EEPROM は、書き換え可能な不揮発性メモリとして使用できるが、1 バイト当たりの書き込み時間が SRAM の μ s オーダーに対して ms オーダーとその書き込み時間に多く時間を要する欠点がある。

そこで、従来は、大量のデータを EEPROM に書き込む際には、一旦 SRAM にデータを蓄込んでから、それを EEPROM に書き込むようにしている。しかし、IC カードでは SRAM 部分の容量をあまり大きく保たないので、通信バッファとして利用される SRAM の領域のサイズに制限が

あって、一度に限定された大きさのデータしか伝送できず、少量のデータ群に分割して大量データを伝送して書き込みを行っているのが現状である。

その結果、開始コード、コマンド、識別コード、終了コード等の重複するデータを含む書き込みデータを何回も伝送しなければならず、データ書き込み及びその伝送処理に手間がかかる。しかも、IC カードでは、書き込み処理が受信、書き込み、確認の直列処理となっているために、前記のようなデータの分割は高速書き込み処理の障害となる。

この発明は、このような従来の技術の問題点を解決するものであって、IC カードに情報を書き込む場合に高速な書き込みが行える IC カードの情報書き込み方式を提供することを目的とする。

【課題を解決するための手段】

このような目的を達成するためのこの発明の IC カードの情報書き込み方式における構成は、プロセッサと、このプロセッサのシステムプログラムを格納する第1の不揮発性メモリ部と、アプリケーションプログラム又は登録データ等を格納する

特開平2-62687 (3)

書き換え可能な第2の不揮発性メモリ部と、各種の処理データを記憶する書き換え可能な揮発性メモリ又は揮発性メモリからなる第3のメモリ部とを有し、外部装置との間でデータの授受を行うICカードにおいて、第2のメモリ部は n バイト(n は2以上の整数)の単位情報長を単位として指定された記憶位置に情報を記憶するものであって、単位情報長の情報について外部からの書き込み時間 t_1 とその内部での読み込み時間 t_2 (ただし、 $t_2 > t_1$)とを有し、第3のメモリは単位情報長を記憶する領域を複数有し、 m バイト(m は n より小さい整数)のデータを複数の領域の1つに書き込む処理時間 t_3 と時間 t_1 との和が m バイトの受信時間と等しいかこれよりも短いものであって、プロセッサがシステムプログラム又はアプリケーションプログラムに従って外部装置から転送された書き込み情報のうち m バイトのデータを受信したときに m バイトの受信に応じてそれを複数の前記領域の1つに順次書き込む処理をし、単位情報長分の情報の書き込みが前記領域の少なくとも1以上に

完了して、かつ転送された書き込み情報の m バイトの情報を受信しているときに単位情報長の読み込みが完了している領域の単位情報長分の情報を第2のメモリに書き込む処理をするものである。

【作用】

このように、第2のメモリを、例えば、内部に、一定の単位情報長(例えば、32バイト、64バイト等)のラッチ回路を内蔵した高速読み可能なEEPROMを用いて構成し、ラッチされる前記の単位情報長(以下必要に応じてページという)と等しい長さを単位として外部装置から転送されてくる書き込み情報をSRAM上に複数記憶し、外部装置からの書き込みデータのSRAM上への読み込み処理と、SRAM上のデータのEEPROMへの書き込み処理とを1ページの転送時間の中で並行して行うようにしているので、外部装置からの情報の伝送中に転送情報のEEPROMへの書き込みを実行させることができ、転送データの書き込み処理速度を向上させることができる。

【実施例】

以下、この発明の一実施例について図面を参照して詳細に説明する。

第1図は、この発明のICカードの信頼書き込み方式を適用した一実施例のブロック図、第2図は、その書き込み処理のタイミングチャート、第3図は、そのSRAMからEEPROMへデータを書き込む場合の説明図である。

1は、ICカードであり、その内部にプログラムを格納したマスクROM6と、アプリケーションプログラム又は登録データ等を格納するEEPROM4と、通信バッファ及び作業用として用いるSRAM5の各メモリと、外部との信号の授受を行う入出力インタフェース2と、各部を制御するプロセッサ(MPU)3とを有している。

ここで、EEPROM4は、例えば、32バイトの情報長単位で高速書き込みができるラッチ回路4aを内蔵し、このラッチ回路4aとEEPROMのメモリ部4bとを有している。そして、第2図に示すように、外部から書き込み時間 t で単位情報長(1ページ分、ここでは32バイト)のデ

ータを高速に書き込むことができ、その内部では、EEPROM4のメモリ部4bに、通常のEEPROMとは異なる書き込み時間 t でその後に書き込みが行われる。この書き込みは、ラッチ回路4a内に外部からデータの格納が終了したことを判定して行われ、自動的にラッチした1ページ(単位情報長)分のデータ(32バイト)をそのメモリ部4bへ書き込むものである。なお、メモリ部4bのEEPROMは、ここでは、ラッチ回路4aのラッチ情報長、32バイトを単位とするページ単位で各記憶領域が管理されるように構成されている。

一方、第3図に示すように、SRAM5の領域には、1ページの記憶長と同様の情報長(32バイト)を持つ受信データ記憶領域Aと受信データ記憶領域Bとからなる通信バッファ5bが設けられている。

そこで、第2図及び第3図に従って1ページ長を32バイトとした場合のデータ書き込み手順について次に説明する。なお、以下の処理は、基本的

特開平2-62687 (4)

には、外部装置から受けたデータ書込みコマンドに応じてマスクROM6に記憶されたシステムプログラム或いはEEPROM4に記憶されたアプリケーションプログラムのうちのデータ書込み処理プログラムが起動され、MPU3がそれを実行することで行われるものとする。そして、入出力インタフェース2或いはMPU3の内部の1バイト分のレジスタ等を有して、MPU3は、1バイト単位で受信データを受けてSRAM5側へ書込むものであって、受信データの受信と書込み処理とが実行して独立に行えるものとする。

なお、この明細書におけるアプリケーションプログラムとは、基本的な制御を行うシステムプログラムに対するものであって、ICカードの仕様に依りて特定の機能付けを行う処理プログラム或いはそのための動作プログラムをいう。

さて、ICカード1は、外部装置から書込みコマンドとともに又はこれとは別に書込みデータの転送を受けたときに、これを前記の1ページの単位である32バイト単位でEEPROM4に書込

む処理を行う。ここで、外部装置から伝送されるデータのバイト単位での受信単位を、第2図に示すように、 n (n は、1～32)とし、1バイトの伝送時間を t_T 、SRAM5への1バイト書込み時間を t_S 、EEPROM4の内部のラッチ回路4aへの1ページ書込み時間を t_R 、ラッチ回路4a内の1ページ分のデータのEEPROM4への書込み時間を t_W とすると、これらの関係が次の条件を満足するものである。

$$t_T > t_S + t_R \quad \cdots \cdots \textcircled{1}$$

$$32 \cdot t_T \geq t_S + t_R + t_W \quad \cdots \cdots \textcircled{2}$$

ただし、 $32 \cdot t_T$ は、1ページ分(単位情報長)を受信するトータル受信時間である。

その書込み動作としては、MPU3が入出力インタフェース2を介して書込みデータとしての伝送データを1バイト受信してそのデータをSRAM5へ一旦書込み、その動作を1ページ長(32バイト)分くり返し、EEPROM4の記憶長単位である1ページ分(32バイト分)のデータを受信した後、受信した最後の1バイト分のデータ

をSRAM5へ書込み、さらに、次の1ページ分の最初の1バイト分のデータを受信しているときに、1つ前に受信した1バイト分のデータのSRAM5への書込みが完了すると、その後次の1バイトの受信が完了するまでの残りの時間において、続いてすでに受信済みの1ページ分のデータをSRAM5から読み出してEEPROM4のラッチ回路4aへ書込む処理をする。その後MPU3は、次に受信された受信データの1バイトをSRAM5に書込む。

一方、MPU3により1ページ分のデータが書込まれたEEPROM4は、その外部からの書込みデータをラッチ回路4aで受け、その書込みが終了すると、MPU3の動作とは独立に、EEPROM4は、その内部においてラッチ回路4aからEEPROMのメモリ部4bの各メモリセルへの書込み動作に入る。そして、1ページ分のデータの書込みを時間 t_W 後にその書込みを完了する。

EEPROM4がこの内部での1ページ分のデータの書込みを行っている間、MPU3は、その

書込み時間 t_W の期間に、次の1ページ分の受信データをSRAM5の受信データ記憶領域A又はBのいずれかに書込みむ処理を継続しており、それが、前記の書込み終了と同時に、その後完了する(②式参照)。そこで、この書込みが完了した受信データ記憶領域B又はAのいずれかに記憶されている1ページ分のデータが次に受信した1バイト分の受信中にEEPROM4に再び書込まれる。このような繰り返しにより受信データが順次EEPROM4に1ページ分単位で書込まれていく。

この処理状態を具体的に示すのが第2図であって、仮に、受信データ記憶領域B上に外部装置から転送された受信データが書込まれるもの(第3図の実例矢印参照)とし、第2図に示すように、やがて、1ページ分の最後の受信データが受信されると、最後の1バイト分のデータのSRAM5への書込みが完了して行われ、受信データ記憶領域Bに1ページ分のすべての受信データの書込みが終

特開平2-62687 (5)

了する。このときの処理の詳細を述べると、MPU3は、 $n=32$ の1つ前の1ページ分の最後の1バイトの受信から一定時間において（この一定時間は、伝送方式とプロセッサの処理能力に応じて決まり、受信と書込みが同時にできるものでは、この空き時間がほとんどなくてもよい）、次の1ページ分の $n=1$ の1番目の1バイトの受信処理に移り、 $n=1$ の1バイト目のデータを受信中に前記の $n=32$ の最後の1バイト分の受信データを受信データ記憶領域Bに書込む。その後、続いて受信データ記憶領域Bに記憶されている1ページ分の受信データを取出してEEPROM4へ書込む。そして、その後に受信中の1バイト分の受信データ（ $n=1$ のデータ）の受信が完了した時点でこれを受信データ記憶領域Aの最初（ $n=1$ の位置）に書込んで記憶し（第3図の点線矢印参照）、このようにしてその領域の先頭から順次1バイト単位に受信データを格納していく。

この場合、1ページ分のデータのEEPROM4への書込みは、ラッチ時間 t_R で済む。そして、

タが受信データ記憶領域A又はBに記憶され、それが完了した後の次の1バイト受信に行われればよい。

ところで、EEPROM4への受信データの書込みは、前述の図式で示されるように、受信データ記憶領域Aへの書込みが終了する以前にEEPROM4内の書込みが終了するように設定されているため、以後同様に受信データ記憶領域A、Bを交互に用いたデータ書込みを行うことができ、このことによって通信バッファサイズに依存しない大量データの連続的な伝送・書込み処理を行うことができる。

なお、このような書込み処理を行うデータとしては、ダウンロードを行うアプリケーションプログラムとか、各種の登録データなどを挙げることができる。

以上説明してきたが、実施例では、SRAM5上に2つの受信データ記憶領域AとBを設けているが、伝送時間とEEPROMへのデータ書込み時間の関係によっては、受信データ記憶領域数を

このときラッチされた1ページ分のデータは、EEPROM4の内部の書込み時間 t_w でEEPROM4の内部の各メモリセルへ書き込まれていく。この間にMPU3は、受信データ記憶領域Aを利用して受信した次の受信データをそこに順次書込む処理をしている。

そこで、第3図に示すように、SRAM5上に設けられた受信データ記憶領域Aと受信データ記憶領域Bには、1ページごとに受信データが記憶され、これら領域が交互に用いられる。このようにして一旦SRAM5上に受信データが1ページ分記憶され、次の1ページ分の最初の1バイト分のデータの受信動作とすでに記憶されたSRAM5上の1ページ分のデータのEEPROM4への書込み動作が実行して行われることになる。

以上は、1ページ分の後で、次の1ページ分の受信データの最初の1バイトを受信中にEEPROM4への書込みを行うものであるが、EEPROM4の書込み時間 t_w がさらに短ければ、EEPROM4への書込みは、1ページ分の受信データ

3以上としてもよい。このように複数の受信データ記憶領域を設けた場合には、最も古い受信データから先に取出してEEPROMに書込むことになる。このように3以上の受信データ記憶領域を設ければ、EEPROM4における内部書込み時間 t_w が伸びたとき、或いは図式を満足しないような条件においてもデータの受信とその書込みとを行うことができる。このような場合には、実施例のように次の1ページ分の最初の1バイトの受信データをSRAMに書込んだ後にEEPROMに書込むような限定はされず、1ページ分の書込みが完了した後で、かつ次のデータの受信中においてEEPROM4への書込みが行われればよい。

実施例では、受信データを1バイトごとにSRAMに書込んでいるが、数バイトを単位としてもよく、これは、入出力インタフェース2或いはMPU3の内部のレジスタ等の容量とMPU3の受信データの処理能力とにより決定されるものであって、受信データの受信と書込み処理とが独立に行える最大バイト数まで可能である。

特開平2-62687 (6)

また、実施例では、ラッチ回路付きのEEPROMが1つ設けられているが、これは、複数個設けられていてもよく、このような場合には、データを受信するSRAMの受信データ記憶領域は、複数のEEPROMに分配できるように対応する数の受信データ記憶領域を設けることができる。

さらに、この発明におけるメモリの構成は、実施例ではSRAMとEEPROMの例を示しているが、SRAMやEEPROM等のメモリに限定されるものではない。

【発明の効果】

以上説明したように、この発明では、データの伝送時間よりも読み取り時間の短いメモリと、例えば、ラッチ回路付きのEEPROMのように外部からのデータの読み取り時間が短く、内部におけるデータ読み取り時間が長いメモリとの2種を用い、読み取り時間の長いメモリへのデータ読み取り処理時間内に伝送されるデータを格納するための受信データ記憶領域を読み取り時間の短いメモリ上に設けて、かつその受信データ記憶領域のサイズを内部

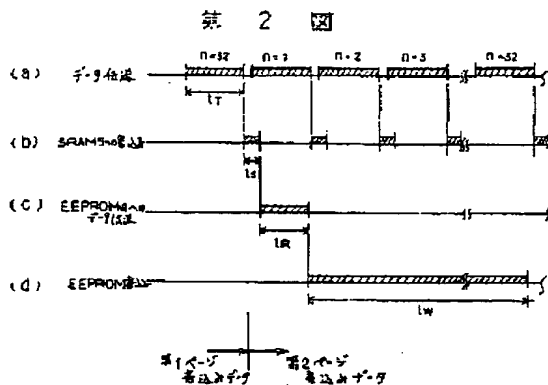
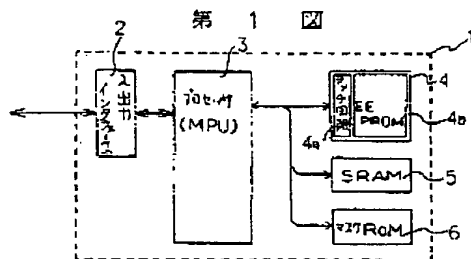
読み取り時間の長いメモリのアクセス単位長である情報長の整数倍とすることにより、大量データの連続的読み取りができ、読み取り処理能力を向上させることができる。

4. 図面の簡単な説明

第1図は、この発明のICカードの情報読み取り方式を適用した一実施例のブロック図、第2図は、その読み取り処理のタイミングチャート、第3図は、そのSRAMからEEPROMへデータを読み込む場合の説明図である。

- 1…ICカード、
2…入出力インタフェース、
3…プロセッサ(MPU)、4…EEPROM、
4a…ラッチ回路、5…SRAM、
6…マスクROM。

特許出願人 日立マクセル株式会社
代理人 弁護士 梶山 祐 是
弁護士 山本 富士男



第 3 図

